

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 2 7 1 8 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 2 7 1 8 9]

出 願 人 ロ ー ム 株 式 会 社
Applicant(s):

出
(公)
願
書
印

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 01-00270

【あて先】 特許庁長官殿

【国際特許分類】 H03K 3/00

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 藤森 敬和

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100117879

 【弁理士】

 【氏名又は名称】 三輪 英男

 【連絡先】 0 7 5 - 3 2 1 - 6 4 7 2

【手数料の表示】

 【予納台帳番号】 032229

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0101398

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ保持装置

【特許請求の範囲】

【請求項 1】

インバータ回路をループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、

記憶ノードと基準電位との間に配置された可変抵抗素子と、
可変抵抗素子の抵抗値を制御する不揮発記憶素子と、を備え、
データ保持回路に保存されているデータに対応した状態を不揮発記憶素子に記憶し、不揮発性記憶素子に記憶させてあった状態に対応したデータをデータ保持回路に復元させるように構成したこと、

を特徴とするデータ保持装置。

【請求項 2】

請求項 1 のデータ保持装置において、
2 つの記憶ノードを有し、これらの記憶ノードと基準電位との間に、各々、
可変抵抗素子と、可変抵抗素子の抵抗値を制御する不揮発性記憶素子と、
を配置したこと、
を特徴とするデータ保持装置。

【請求項 3】

請求項 1 のデータ保持装置において、
2 つの記憶ノードを有し、一方の記憶ノードと基準電位との間に、
可変抵抗素子と、可変抵抗素子の抵抗値を制御する不揮発性記憶素子と、を配置し、
他方の記憶ノードと基準電位との間に、前記可変抵抗素子の抵抗値の範囲内の抵抗値を有する抵抗素子を配置したこと、
を特徴とするデータ保持装置。

【請求項 4】

請求項 2 または 3 のデータ保持装置において、
前記可変抵抗素子が、電界効果トランジスタであり、

前記不揮発性記憶素子が、強誘電体コンデンサであって、
前記電界効果トランジスタのドレイン又はソースが一方の記憶ノードに接続され
るとともにゲート電極と前記強誘電体コンデンサの一方の電極が接続され、前記
強誘電体コンデンサの他方の電極に他方の記憶ノードの電位を付加することによ
り、データ保持回路に保持されているデータに対応した分極状態を強誘電体コン
デンサに記憶させるよう構成したこと、
を特徴とするデータ保持装置。

【請求項 5】

請求項 4 のデータ保持装置において、
前記一方の記憶ノードと前記ゲート電極の間に並列にコンデンサを接続したこと
、
を特徴とするデータ保持回路。

【請求項 6】

インバータ回路をループ状に接続することによってデータを保持可能としたデ
ータ保持回路、を備えたデータ保持装置であって、
記憶ノードと基準電位との間に配置された可変抵抗素子と、
可変抵抗素子の抵抗値を制御する不揮発記憶素子と、を備え、
データ保持回路に保存されている任意の時点のデータに対応した状態を不揮発記
憶素子に記憶し、不揮発性記憶素子に記憶させてあった状態に対応したデータを
データ保持回路に復元させるように構成したこと、
を特徴とするデータ保持装置。

【請求項 7】

請求項 6 のデータ保持装置において、
前記可変抵抗素子が、電界効果トランジスタであり、
前記不揮発性記憶素子が、強誘電体コンデンサであって、
前記電界効果トランジスタのドレイン又はソースが記憶ノードに接続されるとと
もにゲート電極と前記強誘電体コンデンサの一方の電極が接続され、強誘電体コ
ンデンサのもう一方の電極に不揮発性記憶素子書込み用信号を付加することによ
り、データ保持回路に保持されている任意の時点のデータに対応した分極状態を

強誘電体コンデンサに記憶させるよう構成したこと、
を特徴とするデータ保持装置。

【請求項 8】

請求項 7 の保持装置において、
2 つの記憶ノードを有し、
前記電界効果トランジスタのドレイン又はソースを一方の記憶ノードに接続し、
不揮発性記憶素子書き込み用信号を付加する強誘電体コンデンサの電極を、不揮発性記憶素子書き込み用トランジスタを介して、他方の記憶ノードと、接続した
こと、
を特徴とするデータ保持装置。

【請求項 9】

インバータ回路をループ状に接続することによりデータを保持するデータ保持
回路と、

記憶ノードと基準電位との間に配置された可変抵抗素子と、
前記可変抵抗素子の抵抗値を制御する不揮発記憶素子と、
を備えている、

データ保持装置、を用意し、

データ保持回路のデータを、自動的に不揮発性記憶素子に書き込むステップと

、

データ保持装置の電源供給が停止している期間、データ保持回路の最終のデー
タを、不揮発性記憶素子が保持しているステップと、

データ保持装置の電源供給が再開された際に、不揮発性記憶素子が保持してい
たデータを、データ保持回路に復元するステップと、

を備えたデータ保持方法。

【請求項 10】

インバータ回路をループ状に接続することによりデータを保持するデータ保持
回路と、

記憶ノードと基準電位との間に配置された可変抵抗素子と、
前記可変抵抗素子の抵抗値を制御する不揮発記憶素子と、

を備えている、

データ保持装置、を用意し、

任意の時点でのデータ保持回路のデータを、不揮発性記憶素子に書き込むステップと、

データ保持装置の電源供給が停止している期間、不揮発性記憶素子に書き込まれたデータを、不揮発性記憶素子が保持しているステップと、

データ保持装置の電源供給が再開された際に、不揮発性記憶素子が保持していたデータを、データ保持回路に復元するステップと、

を備えたデータ保持方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はデータ保持装置に関する。

【0002】

【従来の技術】

ラッチ回路などの順序回路に用いられるデータ保持回路として、たとえば、2つのインバータをループ状に接続した回路が知られている。しかし、このようなデータ保持回路は、通常、データを揮発的にしか保持できないため、電源が遮断されるとデータが失われてしまう。つまり、電源を再投入しても、電源遮断前のデータを復元することができない。

【0003】

したがって、たとえば、このようなデータ保持回路を利用したシーケンス処理を何らかの理由により中断する場合、データを保持しておくためには電源をONしたままにしなければならないので、その分、電力を消費する。また、停電事故等によりシーケンス処理が中断された場合、最初から処理をやり直さなければならず、時間的ロスが大きい。

【0004】

このような問題を解決するために、強誘電体コンデンサを用いた図 11 に示すような回路 111 が提案されている。回路 111 においては、電界効果トランジスタのゲート容量に直列に強誘電体コンデンサを接続したものが、フリップフロップ接続されている。保存されているデータに対応して強誘電体が分極され、分極の向きに応じて当該電界効果トランジスタの閾値電圧が変化する。電源を遮断しているときであっても、強誘電体の分極は消失しないので、電界効果トランジスタの閾値の変化は保持される。

【0005】

その後、電源を再投入すると、分極に対応した電界効果トランジスタの閾値のずれが存在するために、データは不定にならずに一意に決まる。このようにして、電源遮断前のデータを復元することができる。

【0006】

しかしながら、上述の回路 111 には、次のような問題がある。強誘電体コンデンサと電界効果トランジスタのゲート容量が直列に接続されているために、電源電圧が当該強誘電体コンデンサと当該ゲート容量の間で分割される。

【0007】

このため、電源電圧を一定とすると、強誘電体にかかる電圧が減少するため、信頼性の高いデータ保持が困難となる。また、電界効果トランジスタのゲート容量にかかる電圧も減少するため、トランジスタのソースドレイン間に流れる電流が減少し、回路の動作速度が遅くなってしまう。

【0008】

上述の問題を解決するために、電源電圧を高くする方法もあるが、トランジスタの信頼性が悪化し、消費電力も上昇する。

【0009】

この発明は、このような従来のデータ保持回路の問題点を解消し、電源が遮断されてもデータを保持することができ、高速、低消費電力で、かつ、データ保持の信頼性が高いデータ保持装置を提供することを目的とする。

【0010】

【特許文献 1】

特開平 5-250881 号公報

【0011】

【課題を解決するための手段、発明の作用および効果】

請求項 1 のデータ保持装置は、インバータ回路をループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、記憶ノードと基準電位との間に配置された可変抵抗素子と、可変抵抗素子の抵抗値を制御する不揮発記憶素子と、を備え、データ保持回路に保存されているデータに対応した状態を不揮発記憶素子に記憶し、不揮発性記憶素子に記憶させてあった状態に対応したデータをデータ保持回路に復元させるように構成したこと、を特徴とする。

【0012】

したがって、電源再投入する際に、記憶ノードに接続された可変抵抗素子の抵抗値に対応して記憶ノードの電位が決定されるから、電源遮断前のデータを復元することができる。

【0013】

すなわち、電源が遮断されてもデータを保持することができ、かつ、高速、低消費電力で、かつデータ保持の信頼性が高いデータ保持装置を実現することができる。

【0014】

さらに、電源を供給することで、データをデータ保持回路に自動的に復元させるので、専用の信号を生成する必要が無く、装置全体の回路構成を単純化することができる。

【0015】

請求項 2 のデータ保持装置においては、2つの記憶ノードを有し、これらの記憶ノードと基準電位との間に、各々、可変抵抗素子と、可変抵抗素子の抵抗値を制御する不揮発性記憶素子と、を配置したこと、を特徴とする。

【0016】

1 対の可変抵抗素子を用い相補的な動作をさせるので、信頼性の高いデータ復

元が可能となる。

【0017】

請求項3のデータ保持装置においては、2つの記憶ノードを有し、一方の記憶ノードと基準電位との間に、可変抵抗素子と、可変抵抗素子の抵抗値を制御する不揮発性記憶素子と、を配置し、他方の記憶ノードと基準電位との間に、前記可変抵抗素子の抵抗値の範囲内の抵抗値を有する抵抗素子を配置したこと、を特徴とする。

【0018】

このような構成にすることで、より少ない部品点数でデータ保持装置を構成することができる。

【0019】

更に、前記可変抵抗素子として電界効果トランジスタを備えることにより、小さな面積で可変抵抗素子が作れるので、データ保持装置の面積を小さくすることができる。

【0020】

また更に、前記不揮発記憶素子として強誘電体コンデンサを備えることにより、強誘電体コンデンサを用いてデータを記憶するから、電源が切断されてもデータは保持される。また、強誘電体の分極状態を制御するのに、特別な高電圧を用意する必要が無く、強誘電体分極へのデータの書き込みも読み出し速度とほぼ同じ速度でできるので高速動作が可能である。

【0021】

請求項4のデータ保持装置においては、前記可変抵抗素子が、電界効果トランジスタであり、前記不揮発性記憶素子が、強誘電体コンデンサであって、前記電界効果トランジスタのドレイン又はソースが一方の記憶ノードに接続されるとともにゲート電極と前記強誘電体コンデンサの一方の電極が接続され、前記強誘電体コンデンサの他方の電極に他方の記憶ノードの電位を付加することにより、データ保持回路に保持されているデータに対応した分極状態を強誘電体コンデンサに記憶させるよう構成したこと、を特徴とする。

【0022】

したがって、データ保持装置のデータを自動的に強誘電体コンデンサの分極として保存することができるので、専用の信号を生成する必要が無く、装置全体の回路構成を単純化することができる。

【0023】

また、停電等の不意の電源遮断時にも、直前のデータを記憶しているので、電源遮断前のデータを復元することができる。

【0024】

請求項5のデータ保持装置においては、一方の記憶ノードとゲート電極の間に並列にコンデンサを接続したこと、を特徴とする。

【0025】

したがって、強誘電体コンデンサに記憶する際に、強誘電体に対応する電圧が効率よく印加され、可変抵抗素子としての電界効果トランジスタの面積を小さく設計することができ、データ保持装置の面積を小さくすることができる。

【0026】

また、データ遮断時に強誘電体コンデンサにかかる逆バイアス電圧が小さくなるので、データ保持の信頼性を高くすることができる。

【0027】

請求項6のデータ保持装置は、インバータ回路をループ状に接続することによってデータを保持可能としたデータ保持回路、を備えたデータ保持装置であって、記憶ノードと基準電位との間に配置された可変抵抗素子と、可変抵抗素子の抵抗値を制御する不揮発記憶素子と、を備え、データ保持回路に保存されている任意の時点のデータに対応した状態を不揮発記憶素子に記憶し、不揮発性記憶素子に記憶させてあった状態に対応したデータをデータ保持回路に復元させるように構成したこと、を特徴とする。

【0028】

任意の時点のデータに対応した状態を記憶することができるので、たとえば、エラーの発生した時点（またはその直前）のデータに対応した状態を不揮発性記憶素子に記憶させるように構成することもできる。このように構成すれば、エラ

一発生の原因追及に利用することが可能となる。また、このように構成すれば、エラー発生時点の如何に関わらず、エラー発生時点（またはその直前）の正しいデータを記憶することができる。このため、電源再投入後、常に正しいデータから処理を再開することが可能となる。

【0029】

請求項7のデータ保持装置は、前記可変抵抗素子が、電界効果トランジスタであり、

前記不揮発性記憶素子が、強誘電体コンデンサであって、前記電界効果トランジスタのドレイン又はソースが記憶ノードに接続されるとともにゲート電極と前記強誘電体コンデンサの一方の電極が接続され、強誘電体コンデンサのもう一方の電極に不揮発性記憶素子書き込み用信号を付加することにより、データ保持回路に保持されている任意の時点のデータに対応した分極状態を強誘電体コンデンサに記憶させるよう構成したこと、を特徴とする。

【0030】

従って、データ保持装置の任意の時点のデータを強誘電体コンデンサの分極として保存することができるので、たとえば、エラーの発生した時点（又はその直前）のデータを不揮発性記憶素子に記憶させるよう構成することもできる。このように構成すれば、電源再投入後、エラー発生時点（又はその直前）の正しいデータから処理を再開することが可能となる。

【0031】

更に、前記可変抵抗素子として電界効果トランジスタを備えることにより、小さな面積で可変抵抗素子が作れるので、データ保持装置の面積を小さくすることができる。

【0032】

また更に、前記不揮発記憶素子として強誘電体コンデンサを備えることにより、強誘電体コンデンサを用いてデータを記憶するから、電源が切断されてもデータは保持される。また、強誘電体の分極状態を制御するのに、特別な高電圧を用意する必要が無く、強誘電体分極へのデータの書き込みも読み出し速度とほぼ同じ速度でできるので高速動作が可能である。

【0033】

請求項8のデータ保持装置は、2つの記憶ノードを有し、前記電界効果トランジスタのドレイン又はソースを一方の記憶ノードに接続し、不揮発性記憶素子書き込み用信号を付加する強誘電体コンデンサの電極を、不揮発性記憶素子書き込み用トランジスタを介して、他方の記憶ノードと、接続したこと、を特徴とする。

【0034】

従って、データ保持装置のデータを強誘電体コンデンサの分極として保存する任意の時間を指定する信号以外に専用の信号を生成する必要が無い。このため、装置全体の回路構成を単純化することができる。

【0035】

請求項9のデータ保持方法は、インバータ回路をループ状に接続することによりデータを保持するデータ保持回路と、記憶ノードと基準電位との間に配置された可変抵抗素子と、

前記可変抵抗素子の抵抗値を制御する不揮発記憶素子と、を備えている、データ保持装置、を用意し、データ保持回路のデータを、自動的に不揮発性記憶素子に書き込むステップと、データ保持装置の電源供給が停止している期間、データ保持回路の最終のデータを、不揮発性記憶素子が保持しているステップと、

データ保持装置の電源供給が再開された際に、不揮発性記憶素子が保持していたデータを、データ保持回路に復元するステップと、

を備えたこと、を特徴とする。

【0036】

したがって、データを保持するのに電源供給が必要ないので装置の消費電力を減らすことができる。また、自動的に不揮発記憶素子にデータを書き込んでいるので、不意の電源供給停止（停電など）の場合でも、電源供給が再開された時にデータが復元されるので、初期設定や計算のやり直しをする必要がなくなる。

【0037】

請求項10のデータ保持方法は、インバータ回路をループ状に接続することによりデータを保持するデータ保持回路と、

記憶ノードと基準電位との間に配置された可変抵抗素子と、
前記可変抵抗素子の抵抗値を制御する不揮発記憶素子と、
を備えている、

データ保持装置、を用意し、

任意の時点でのデータ保持回路のデータを、不揮発性記憶素子に書き込むステップと、

データ保持装置の電源供給が停止している期間、不揮発性記憶素子に書き込まれたデータを、不揮発性記憶素子が保持しているステップと、

データ保持装置の電源供給が再開された際に、不揮発性記憶素子が保持していたデータを、データ保持回路に復元するステップと、

を備えたこと、を特徴とする。

【0038】

したがって、データを保持するのに電源供給が必要ないので装置の消費電力を減らすことができる。また、データ保持装置の任意の時点のデータを不揮発性記憶素子が保持しているので、たとえば、エラーの発生した時点（又はその直前）のデータを不揮発性記憶素子に記憶させるよう構成することもできる。このように構成すれば、電源再投入後、エラー発生時点（又はその直前）の正しいデータから処理を再開することが可能となる。

【0039】

【発明の実施形態】

図1は、この発明の一実施形態によるデータ保持装置1を示す回路図である。データ保持装置1は、データ保持回路3および不揮発記憶部5を備えている。

【0040】

データ保持回路3は、ループ状に接続されたインバータ回路7、9を備えている。インバータ回路の出力ノードである記憶ノードN1、N2はトランジスタM1、M2を介して、ビット線BL1、BL2に接続されている。

【0041】

ワード線WL1、WL2を制御してトランジスタM1、M2をON状態にすることで、データ保持回路3のデータの読み出し、書き込みができるよう構成されて

いる。

【0042】

不揮発記憶部は、可変抵抗素子である電界効果トランジスタM3、M4、強誘電体コンデンサC1、C2、および、コンデンサC3、C4により構成されている。強誘電体コンデンサの一端は、それぞれ、電界効果トランジスタM3、M4のゲート電極に接続されている。第一の強誘電体コンデンサである強誘電体コンデンサC1の他端は記憶ノードN2に接続され、第二の強誘電体コンデンサである強誘電体コンデンサC2の他端は記憶ノードN1に接続されている。コンデンサC3の一端は電界効果トランジスタM3のゲート電極に接続され、コンデンサC3の他端は記憶ノードN1に接続されている。また、コンデンサC4の一端は電界効果トランジスタM4のゲート電極に接続され、コンデンサC4の他端は記憶ノードN2に接続されている。

【0043】

図2は、図1に示すデータ保持装置1の動作を説明するためのタイミングチャートである。図3Aは、データを不揮発記憶部5に記憶させる場合の動作を説明するための図面であり、図3B～図3Cは、強誘電体部5からデータを復元する場合の操作を説明するための図面である。図1～図2および図3A～図3Cを参照しつつ、データ保持装置1の動作を説明する。

【0044】

図2において、ビットラインBL1、BL2にそれぞれ“H”レベル、“L”レベルのデータを用意する。その後、ワード線WL1、WL2に書き込み用信号51を付与することで、ビット線上のデータが、データ保持回路3のインバータループに書き込まれる。

【0045】

その際、図3Aに示すように、強誘電体コンデンサC1、C2ともに、図中左向きの分極状態が生じる。

【0046】

その後、図2に示すように、電源電圧VDDを遮断する。電源電圧VDDが遮断されても、強誘電体コンデンサC1、C2はそれぞれの分極方向に応じた残留分

極を保持している。さらに、残留分極を打ち消すように電荷の移動が生じるため、電界効果トランジスタM3のゲート電極には負電荷が、電界効果トランジスタM4のゲート電極は正電荷が発生する。

【0047】

したがって、図4に示すように、電界効果トランジスタM3の見かけの閾値電圧は高く、電界効果トランジスタM4の見かけの閾値電圧は低くなる。

【0048】

電源電圧VDDを再投入する（図2の53参照）と、記憶ノードN1、N2の電位は上昇していくが、図3Bに示すように、電界効果トランジスタM4の見かけの閾値電圧が低くなっているため、電界効果トランジスタM4を流れる電流が大きく、記憶ノードN2の電位上昇速度が記憶ノードN1よりも遅くなる。

【0049】

このようにして生じた記憶ノードN1とN2の電位差はインバータループによって増幅され、図3Cに示すように、記憶ノードN1は“H”レベルに、記憶ノードN2は“L”レベルに固定される。

【0050】

すなわち、強誘電体コンデンサC1、C2の分極に対応したデータを復元することができる。

【0051】

ワード線WL1、WL2に読み出し用信号55を付与すると、図2に示すように、ビット線BL1、BL2に復元されたデータを取り出すことができる。

【0052】

一般に、閾値電圧の低い電界効果トランジスタを回路中で用いると、リーク電流が増大してしまうが、このような回路構成にすると、閾値電圧の低い電界効果トランジスタM4が接続されている記憶ノードN2は“L”レベルとなっているので、リーク電流が発生しない。

【0053】

図5は、強誘電体コンデンサC1の両端に印可される電圧を説明するための図面であり、データを不揮発記憶部5に記憶させる場合を示す図3Aの一部を拡大し

た図面である。

【0054】

図中、 V_d :第1の基準電位である接地電位GNDおよび第2の基準電位である電源電位Vddの差の絶対値、 V_f :強誘電体コンデンサC1の両端に印可される電圧の絶対値、 C_f :強誘電体コンデンサC1の等価容量、 C_c :コンデンサC3の容量である。

【0055】

強誘電体に印可される電圧 V_f は式(1)で表される。

$$V_f = C_c / (C_f + C_c) \cdot V_d \quad \cdots \text{式(1)}$$

ここでは、電界効果トランジスタM3のゲート電極とソースおよびドレインとの間の容量、ゲート電極と半導体基板との間の容量は、強誘電体容量 C_f やコンデンサ容量 C_c と比べて小さいので、無視している。

【0056】

強誘電体コンデンサC1の分極反転を生じるには、強誘電体コンデンサの抗電圧 V_{fc} より大きな電圧を印可する必要があるので、

$$V_f = C_c / (C_f + C_c) \cdot V_d > V_{fc} \quad \cdots \text{式(2)}$$

を満たすように構成されている。

【0057】

このように、コンデンサC3、C4を用いることで、強誘電体コンデンサC1、C2に効率よく電圧が印可され、データ保持の信頼性を高くすることができる。

【0058】

なお、この実施形態においては、不揮発記憶部5として1対の強誘電体コンデンサC1、C2、一対の電界効果トランジスタM3、M4、一対のコンデンサC3、C4を用いるようにしたが、この発明はこれに限定されるものではない。たとえば、不揮発記憶部5として1つの強誘電体コンデンサC1、1つの電界効果トランジスタM3、1つのコンデンサC3を用いるようにしてもよい。

【0059】

図6は、この発明の他の実施形態によるデータ保持装置21を示す回路図である。不揮発記憶部5として1つの強誘電体コンデンサC1、1つの電界効果トラ

ンジスタM3、1つのコンデンサC3と1つの抵抗R1を用いた点以外は、図1に示すデータ保持装置1と同じ構成である。

【0060】

見かけの閾値電圧が低くなった電界効果トランジスタM3のソースドレイン間を流れる電流を I_+ 、見かけの閾値電圧が高くなった電界効果トランジスタM3のソースドレイン間を流れる電流を I_- とする。電源電圧VDDを再投入する際に、抵抗R1を流れる電流 I_{R1} が式(3)を満たすように、抵抗R1の抵抗値を設定することでデータを復元することができる。

【0061】

$$I_+ > I_{R1} > I_- \quad \dots \quad \text{式(3)}$$

【0062】

このような構成にすることで、図1の実施例よりも少ない部品点数でデータ保持装置を構成することができる。

【0063】

しかしながら、このような構成にすると、抵抗R1の抵抗値ばらつきや電界効果M3の閾値電圧ばらつきの影響を受けやすくなるので、図1の実施例の方が信頼性の高いデータ復元が可能となる。

【0064】

図7は、この発明の他の実施形態によるデータ保持装置31を示す回路図である。不揮発記憶部5の強誘電体コンデンサC1、C2の一端に不揮発性記憶素子書き込み信号SNVを付加できるようになっている。

【0065】

図8は、図7に示すデータ保持装置31の動作を説明するためのタイミングチャートである。このタイミングチャートにおいて三重線は高抵抗(High-Z)状態であることを表している。

【0066】

不揮発性記憶素子書き込み信号SNVが高抵抗状態の場合強誘電体コンデンサC1、C2にはほとんど電圧がかからないので、分極反転は起こらず、不揮発性記憶のデータは変化しない。図8に示した例では、不揮発性記憶素子書き込み信

号 S N V が L o w (グランド電位状態) の場合、記憶ノード N 1 が H i g h (電源電位状態) であるので強誘電体コンデンサ C 1 には左向きの電界が印加される。一方、記憶ノード N 2 が L o w であるので C 2 にはほとんど電界がかからない。次に、不揮発性記憶素子書き込み信号 S N V が H i g h の時は、強誘電体コンデンサ C 2 に左向きの電界が印加される。すなわち、不揮発性記憶素子書き込み信号 S N V の状態を変化させることで、強誘電体コンデンサ C 1、C 2 にデータを書き込むことができる。したがって、最初は H i g h で、その後 L o w に状態変化させてもよい。

【 0 0 6 7 】

このような構成にすることで、任意の時点でのデータ保持回路のデータを選択的に強誘電体に保存することができる。

【 0 0 6 8 】

すなわち、図 1 の実施例では、データ保持装置のデータは常に強誘電体コンデンサに自動的に書き込まれるが、この実施例では不揮発性記憶素子書き込み信号が高抵抗状態でないときのみ強誘電体コンデンサにデータが書き込まれる。そのため、強誘電体に電圧が印加される時間が少なくなり、強誘電体の充放電回数も少なくなるため、高い信頼性を得るとともに、回路の消費電力も抑えることができる。

【 0 0 6 9 】

つぎに、図 9 は、この発明の他の実施形態によるデータ保持装置 3 1 を示す回路図である。不揮発記憶部 5 の強誘電体コンデンサ C 1、C 2 の一端と記憶ノード N 2、N 1 が不揮発性記憶素子書き込み用トランジスタ M 5、M 6 を介して接続されている。不揮発性記憶素子書き込み用トランジスタ M 5、M 6 のゲート電極には不揮発性記憶素子書き込み用信号線 W L N V が接続される。

【 0 0 7 0 】

図 1 0 は、図 9 に示すデータ保持装置 3 1 の動作を説明するためのタイミングチャートである。

【 0 0 7 1 】

強誘電体コンデンサ C 1、C 2 にデータ保持回路 3 のデータを書き込むには、不

揮発性記憶素子書き込み用信号線WLNVに信号91を付与する。信号91を付与することで不揮発性記憶素子書き込み用トランジスタM5、M6はON状態になり、強誘電体コンデンサC1、C2に電圧が印加され、データ保持回路3のデータが強誘電体コンデンサC1、C2に不揮発に書き込まれる。電源電圧VDDを再投入する(図9の73参照)と、先述のデータ保持装置1と同じ原理で、強誘電体コンデンサC1、C2の分極に対応したデータを復元することができる。

【0072】

このような構成にすることで、データ保持装置のデータを強誘電体コンデンサの分極として保存する任意の時間を指定する信号91以外に、高抵抗状態を含むような特別な信号を生成する必要が無い。このため、装置全体の回路構成を単純化することができる。

【0073】

なお、この実施形態においては、不揮発記憶部5として1対の強誘電体コンデンサC1、C2、1対の電界効果トランジスタM3、M4、一対のコンデンサC3、C4、一対のプレート線選択用トランジスタM5、M6を用いるようにしたが、この発明はこれに限定されるものではない。たとえば、不揮発記憶部5として1つの強誘電体コンデンサC1、1つの電界効果トランジスタM3、1つのコンデンサC3、1つのプレート線選択用トランジスタM5を用いるようにしてもよい。

【0074】

また、上述の各実施形態においては、コンデンサC3、C4として線形のコンデンサを例に説明したが、この発明はこれに限定されるものではない。コンデンサとして、非線形コンデンサ、高誘電体コンデンサおよび強誘電体コンデンサをもちいるようにしてもよい。

【0075】

また、上述の各実施形態においては、データ保持回路と不揮発記憶部は1対1に対応していたが、この発明はこれに限定されるものではない。例えば、1つのデータ保持回路の記憶ノードに不揮発記憶部を複数個接続することで、複数時点のデータを不揮発に保持することができる。また、1つの不揮発記憶部に複数個

のデータ保持回路を切り換えができるように接続することで、1つのデータ保持回路のデータを、他のデータ保持回路に移すこともできる。

【0076】

また、上述の各実施形態においては、データ保持装置として説明したが、この発明はこれに限定されるものではない。論理回路内のデータを保持する部分、例えば、ラッチ回路やレジスタ回路等にも、この発明を適用することができる。

【図面の簡単な説明】

【図1】

この発明の一実施形態によるデータ保持装置1を示す回路図である。

【図2】

図1に示すデータ保持装置1の動作を説明するためのタイミングチャートである。

【図3】

図3Aは、データを強誘電体部5に記憶させる場合の動作を説明するための図面である。図3B～図3Cは、不揮発記憶部5からデータを復元する場合の動作を説明するための図面である。

【図4】

不揮発記憶部5における電界効果トランジスタM3，M4の見かけの閾値電圧の変化を表した図面である。

【図5】

強誘電体コンデンサC1の両端に印可される電圧を説明するための図面である。

【図6】

この発明の他の実施形態によるデータ保持装置21を示す回路図である。

【図7】

この発明の他の実施形態によるデータ保持装置31を示す回路図である。

【図8】

図7に示すデータ保持装置31の動作を説明するためのタイミングチャートである。

【図9】

この発明の他の実施形態によるデータ保持装置 5 1 を示す回路図である。

【図 1 0】

図 9 に示すデータ保持装置 5 1 の動作を説明するためのタイミングチャートである。

【図 1 1】

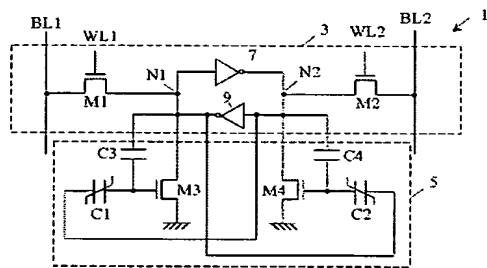
従来回路 1 1 1 を示す図面である。

【符号の説明】

- 1 データ保持装置
- 3 データ保持回路
- 5 不揮発記憶部
- 7 インバータ回路
- N 1 . . . 記憶ノード
- B L 1 . . ビット線
- W L 1 . . ワード線
- M 1 . . . 電界効果トランジスタ
- C 1 . . . 強誘電体コンデンサ
- C 3 . . . コンデンサ
- W L N V . . 不揮発性記憶素子書き込み用信号線
- M 5 . . . 不揮発性記憶素子書き込み用トランジスタ

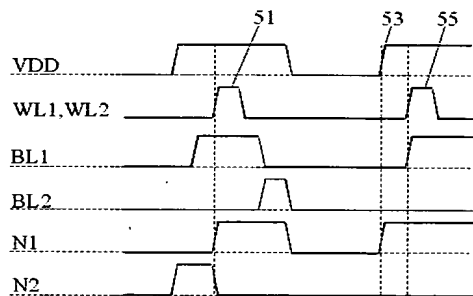
【書類名】 図面

【図 1】

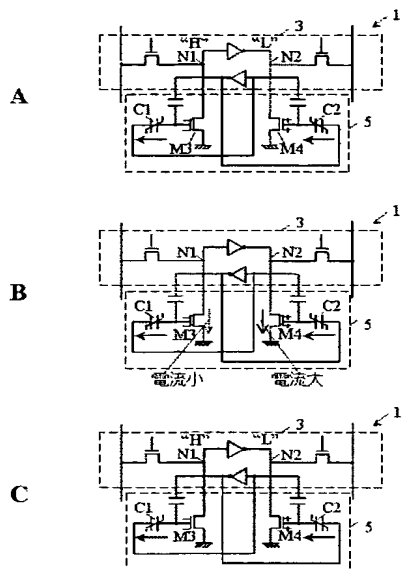


1...データ保持装置
3...データ保持回路
5...不揮発記憶部
7,9...インバータ回路
N1,N2...記憶ノード
BL1,BL2...ビット線
WL1,WL2...ワード線
M1,M2,M3,M4...電界効果トランジスタ
C1,C2...絶縁層コンデンサ
C3,C4...コンデンサ

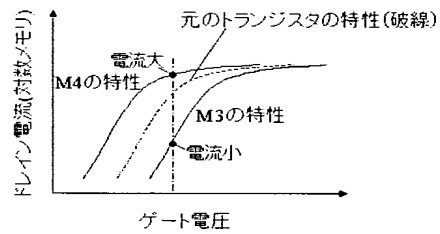
【図 2】



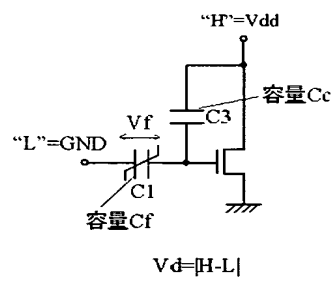
【図 3】



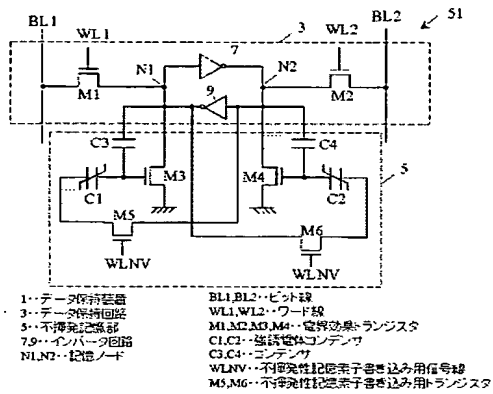
【図 4】



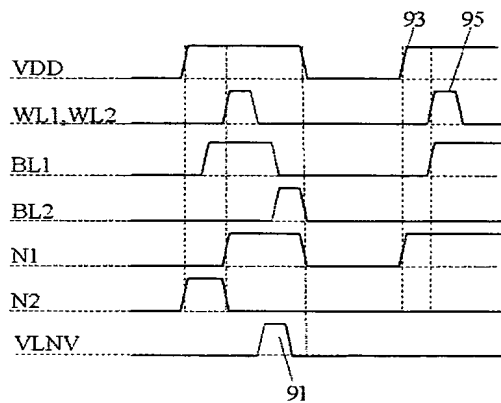
【図 5】



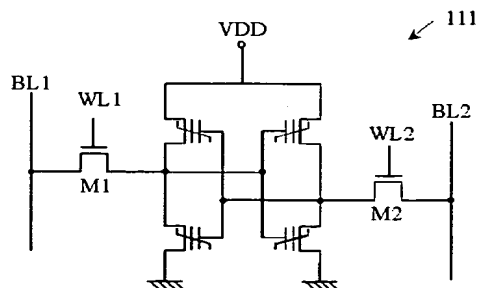
【図 9】



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】

電源が遮断されてもデータを保持することができ、かつ、データ保持の信頼性が高いデータ保持装置を提供する。

【解決手段】

データ保持装置 1 は、データ保持回路 3 および不揮発記憶部 5 を備えている。強誘電体コンデンサ C 1、C 2 にデータを不揮発に記憶させることができる。強誘電体コンデンサ C 1、C 2 の一端は電界効果トランジスタ M 3、M 4 の制御電極に接続されている。強誘電体のもう一方の端子は、それぞれ記憶ノード N 2、N 1 に接続されている。電界効果トランジスタ M 3、M 4 のドレインは記憶ノード N 1、N 2 に、ソースは接地電位に接続されている。

このため、強誘電体コンデンサに記憶しているデータに対応して、電界効果トランジスタ M 3、M 4 の見かけの閾値電圧が変化する。したがって、データ保持装置 1 に電源を供給することで、データ記憶回路に記憶されていたデータを復元することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-027189
受付番号	50300177051
書類名	特許願
担当官	第八担当上席 0097
作成日	平成15年 3月 7日

< 認定情報・付加情報 >

【提出日】	平成15年 2月 4日
【特許出願人】	申請人
【識別番号】	000116024
【住所又は居所】	京都府京都市右京区西院溝崎町 2 1 番地
【氏名又は名称】	ローム株式会社
【代理人】	
【識別番号】	100117879
【住所又は居所】	京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社 知的財産部内
【氏名又は名称】	三輪 英男

次頁無

特願 2 0 0 3 - 0 2 7 1 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社